

Patent Abstracts of Japan

PUBLICATION NUMBER : 56157149
PUBLICATION DATE : 04-12-81

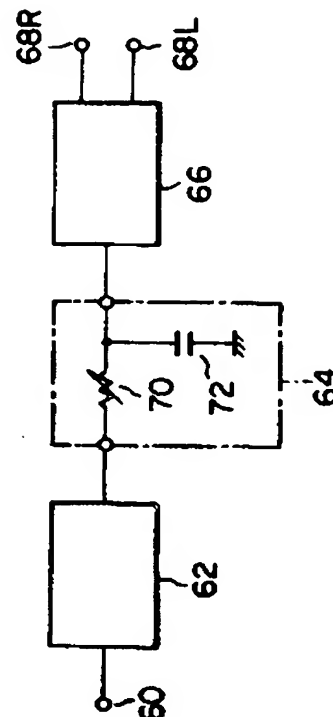
APPLICATION DATE : 08-05-80
APPLICATION NUMBER : 55060977

APPLICANT : ROHM CO LTD;

INVENTOR : HIKITA JUNICHI;

INT.CL. : H04H 5/00

TITLE : STEREO SEPARATION CONTROL
DEVICE FOR FM TUNER



ABSTRACT : PURPOSE: To facilitate a stereo separation control, by setting the subsignal demodulation gain larger than the main signal demodulation gain for an IC-formed stereo signal demodulating circuit.

CONSTITUTION: A stereo demodulating circuit 66 is formed into an IC, and the main signal and subsignal demodulation gains are set at a certain value each only by the component element inside the IC. The subsignal demodulation gain is set larger than the main signal demodulation gain. The gain ratio is set so that the highest separation is obtained in case a stereo signal of a normal phase distribution is applied to the input of the circuit 66. The input signal is supplied to the circuit 66 after receiving a compensation of phase at a high band through a low pass filter 64. Thus the variance is reduced for the gain of a low-band signal.

COPYRIGHT: (C)1981,JPO&Japio

BEST AVAILABLE COPY

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—157149

⑤ Int. Cl.³
H 04 H 5/00

識別記号

庁内整理番号
7429—5K

⑬ 公開 昭和56年(1981)12月4日

発明の数 1
審査請求 有

(全 4 頁)

⑤4 FMチューナのステレオセパレーション調整
装置

②特 願 昭55—60977

②出 願 昭55(1980)5月8日

⑦発明者 園田雅彦
京都市右京区西院溝崎町21番地

株式会社東洋電具製作所内

⑦発明者 正田純一

京都市右京区西院溝崎町21番地

株式会社東洋電具製作所内

⑦出人 株式会社東洋電具製作所

京都市右京区西院溝崎町21番地

⑦代理人 弁理士 畝本正一

明 細 書

1. 発明の名称

FMチューナのステレオセパレーション調整装置

2. 特許請求の範囲

1. ステレオ復調回路を構成する半導体集積回路の内部に形成されかつメイン信号復調ゲイン及びサブ信号復調ゲインを設定する抵抗を具備し、正規の配分位相のステレオ信号が入力される場合に最高のステレオセパレーション出力が得られるメイン信号復調ゲイン及びサブ信号復調ゲインの比率より大きいサブ信号復調ゲインに前記抵抗で設定されるステレオ復調回路を含んで構成したことを特徴とするFMチューナのステレオセパレーション調整装置。

2. 前記ステレオ復調回路に、ローパスフィルタを介してFM検波出力を入力することを特徴とする特許請求の範囲第1項に記載のFMチューナのステレオセパレーション調整装置。

3. 前記ローパスフィルタにおいて、時定数を変化することによってステレオ復調出力のセパレーションを調整することを特徴とする特許請求の範囲第2項に記載のFMチューナのステレオセパレーション調整装置。

4. 前記ローパスフィルタを可変抵抗及びコンデンサで構成し、可変抵抗の値を変更することによって時定数を調整することを特徴とする特許請求の範囲第3項に記載のFMチューナのステレオセパレーション調整装置。

3. 発明の詳細な説明

この発明はFMチューナのステレオセパレーション調整装置に係り、特に半導体集積回路で構成されるFM復調回路のステレオセパレーションの悪化を改善するステレオセパレーション調整装置に関する。

一般にFMチューナのFM検波回路から出力される検波出力において、高域成分であるサブ信号成分がFM検波回路の位相特性のためメイン信号成分より減衰し、このためステレオ復調回路にお

BEST AVAILABLE COPY

いてステレオセパレーションが悪化することが知られている。

従来、このステレオセパレーションの悪化を補正するため、ステレオ復調回路において、サブ信号及びメイン信号のゲイン調整が行われている。第1図はこのゲイン調整方式を用いたステレオマルチプレクス復調回路のステレオデコーダである。このステレオデコーダ2はトランジスタ4、6、8、10、12、14、16、18、20、22、24、26、抵抗28、30、可変抵抗32及び定電流源34で構成されている。トランジスタ12、14、16、18の各ベースにはステレオスイッチ回路36より19 KHzのスイッチング信号が与えられ、トランジスタ20、22、24、26のベースには増幅器38よりステレオ検波出力が与えられる。電源端子40は電源Vccに接続され、R信号出力端子42及びL信号出力端子44からそれぞれ右信号及び左信号が取出される。端子46はステレオセパレーション調整用の端子で、この端子46に接続された可変抵抗32はメイン信号ゲインの調整のために付加される。このように構成された

ステレオデコーダ2を含むステレオ復調回路において、端子46に外付けされた可変抵抗32を除いて各素子4…34は半導体集積回路(IC)で構成されており、ステレオセパレーション調整のためのメイン信号のゲイン調整はIC内部のモノリシック抵抗である抵抗28、30と、IC外部の可変抵抗32との異種の特性を持つ抵抗の抵抗比で行うこととしている。このため、ICの特性不均一による抵抗28、30の値のばらつきからサブ信号及びメイン信号のゲイン調整が取りにくく、このゲイン調整方式によるステレオ復調回路には安定したセパレーションが得られない欠点がある。

また、従来、他の方法にはステレオ復調回路の入力信号の高域補正を行う方式がある。第2図はこの方式を示し、FM検波回路48とステレオ復調回路50との間に抵抗52及びコンデンサ54から構成される高域フィルタ56を挿入して高域補正を行い、高域成分であるサブ信号成分の減衰を補償している。この方式によれば、理論上はサブ信号成分の減衰補償が出来る反面、低域信号ゲインが外付け

の抵抗52とステレオ復調回路50の入力インピーダンスとの比で決定されるため、前記方式と同様にICの特性不均一によってゲイン調整が支配され、安定したステレオセパレーションを得ることができないものである。

この発明の目的は、IC化されたステレオ復調回路において、ICの特性不均一に伴う不安定なメイン波復調ゲイン及びサブ波復調ゲインの調整を除くことで安定したステレオセパレーションを得ることができるとともに、簡易な調整で最高のステレオセパレーションを得ることができるFMチューナのステレオセパレーション調整装置の提供にある。

この発明は、半導体集積回路で構成されるステレオ復調回路において、メイン信号復調ゲイン又はサブ信号復調ゲインを決定する手段のそれぞれを集積回路上の抵抗素子で構成し、復調入力に正規配分位相のステレオ信号が印加された場合に最高ステレオセパレーションが得られるメイン信号復調ゲインに対するサブ信号復調ゲインの比率よ

り大きいサブ信号復調ゲインになるように前記抵抗素子の抵抗値を設定したことを特徴とする。

以下、この発明を図面に示した実施例について説明する。

第3図はこの発明のステレオセパレーション調整装置の好適な実施例を示している。図において、入力端子60には図示しない中間周波増幅回路から中間周波出力が入力され、FM検波回路62の検波出力はローパスフィルタ64を介してステレオ復調回路66に入力される。このステレオ復調回路66において、復調により得られた右信号及び左信号は右信号出力端子68R及び左信号出力端子68Lから個別に出力される。

ローパスフィルタ64はFM検波出力の高域位相に補正を施してステレオ復調出力のステレオセパレーションを良好にするために挿入されたものである。この実施例の場合、ローパスフィルタ64は可変抵抗70及びコンデンサ72で構成され、ローパスフィルタ64が持つ時定数は可変抵抗70の値で設定される。即ち、可変抵抗70による時定数の変更

で、ステレオセパレーションが最高状態に設定されるように構成されている。

ステレオ復調回路66は半導体集積回路(IC)で構成され、メイン信号復調ゲイン及びサブ信号復調ゲインは IC の内部における構成素子のみで一定値に設定されている。第4図はステレオ復調回路66に含まれるステレオデコーダ74の具体的回路を示している。このステレオデコーダ74はトランジスタ76、78、80、82、84、86、88、90、92、94、96、98、抵抗100、102、104及び定電流源106で構成されている。トランジスタ76…98及び定電流源106については、第1図に示すデコーダ2と同様の構成であり、トランジスタ84、86、88、90のベースにはステレオスイッチ回路36から19KHzのスイッチング信号が与えられ、またトランジスタ92、94、96、98のベースには増幅器38を介してFM検波回路62のFM検波出力がローパスフィルタ64より入力されている。電源端子108は電源Vccに接続され、右信号出力端子68R及び左信号出力端子68Lは第3図中のそれに対応するものである。

ているため、ステレオ復調回路66の入力インピーダンス Z_{IN} より抵抗70の抵抗値 R が小さく設定でき ($Z_{IN} > R$)、低域信号ゲインのばらつきは従来の高域フィルタによる場合に比較して極めて小さくできる。また、FM検波回路62の出力インピーダンス Z_o のばらつきに対しても位相補正の定数をほぼ可変抵抗70及びコンデンサCの値のみで決定できるため、可変抵抗70の簡単な調整で安定した位相補正ができ、ステレオ復調出力のセパレーションを最高状態に設定できる。

以上説明したようにこの発明によれば、安定したステレオセパレーションを維持できるとともに、簡易な調整で最高のステレオセパレーションを得ることができる。

4. 図面の簡単な説明

第1図は従来のステレオ復調回路のデコーダの IC 等価回路を示す回路図、第2図は従来のステレオセパレーション調整装置を示すブロック図、第3図はこの発明のFMチューナのステレオセパレーション調整装置の実施例を示すブロック図、

このように構成されるステレオデコーダ74において、抵抗100、102、104は集積回路上の構成素子であるモノリシック抵抗で構成され、メイン信号復調ゲインが抵抗100で、またサブ信号復調ゲインが抵抗102、104でそれぞれ一定値に設定されている。各設定値の大小関係については、サブ信号復調ゲインがメイン信号復調ゲインより大きい値とされている。即ち、ステレオ復調回路66の入力に正規の配分位相のステレオ信号が印加される場合、復調出力に最高のステレオセパレーションが得られるメイン信号復調ゲイン G_M とサブ信号復調ゲイン G_S の比率を基準にしてメイン信号復調ゲイン G_M を設定し、一方サブ信号復調ゲインの設定値 G_{S0} は前記ゲイン G_S より大きい値 ($G_{S0} > G_S$) に設定されている。

以上のように構成したので、サブ信号復調ゲインの補正は、IC内部のモノリシック抵抗である抵抗100、102、104によって一定値としているため、ばらつきが少なく安定である。一方、FM検波出力の位相補正はローパスフィルタ64で行っ

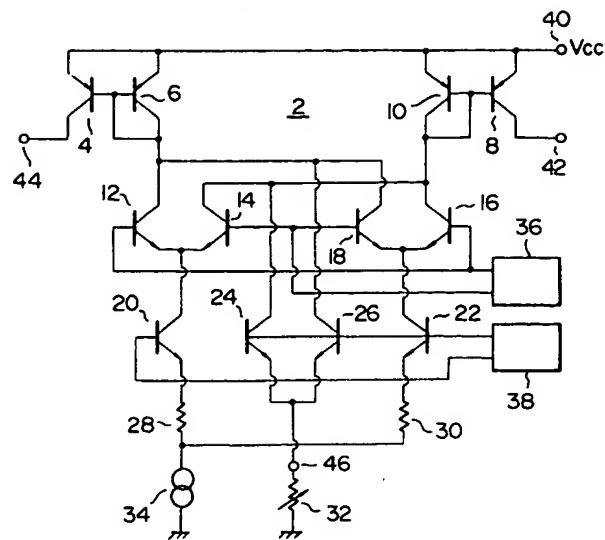
第4図はステレオ復調回路のデコーダの IC 等価回路を示す回路図である。

64…ローパスフィルタ、66…ステレオ復調回路、70…可変抵抗、72…コンデンサ、100、102、104…抵抗。

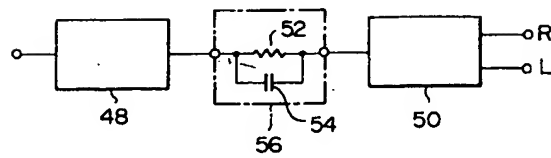
代理人 弁理士 畠 本 正 一

BEST AVAILABLE COPY

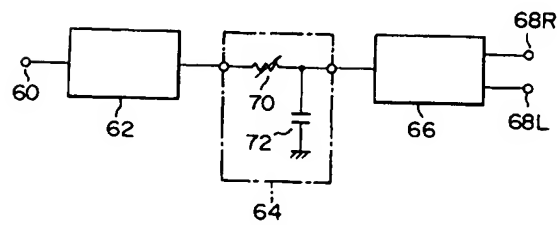
第 1 圖



第 2 圖



第 3 圖



第 4 圖

